

断熱的論理回路2PADCLによる4bitアレイ型乗算器

高橋 康宏⁽¹⁾, 関根 敏和⁽¹⁾, 横山 道央⁽²⁾ (1) 岐阜大学 工学部 電気電子工学科 (2) 山形大学 工学部 応用生命システム工学科

はじめに

近年、携帯電話、デジタルカメラなど携帯機器の需要にともない、バッテリーや電池などの内臓電源で可能な限り長時間動作することが求められている。聞きの電源は限られているために、今まで以上に大規模集積回路(VLSI)の低消費電力化が要求されている。消費電力が比較的小さくかつ動作速度の速い回路としてCMOS論理回路が広く用いられる。しかし、低消費電力回路としてCMOS回路を考えた場合、次の問題点が浮かび上がる。

- (1) 出力電圧が遷移する際にトランジスタで熱的に消費されるエネルギー
- (2) 出力電圧が遷移する際にトランジスタを通して電源からグラウンドに流れる貫通電流によって消費されるエネルギー

上述の問題点を解決する手段として断熱的回路技術が報告されている。この断熱的回路は、電源電圧に変化の緩やかな交流電源を用いて、ジュール熱として損失するエネルギーを抑制しながら付加容量もしくは次段のゲート容量の充放電を行いつつ、エネルギーを再利用することで極低消費電力を達成する技術である。

目的

本研究は、従来の断熱的論理回路よりも低消費電力である論理回路(Two-Phase drive Adiabatic Dynamic CMOS Logic; 2PADCL)を提案する。提案回路は、従来の断熱的論理回路とは異なり、CMOS論理回路にダイオード付加し両端を2相電源で駆動する新しい回路機構である。ゆえに、過去のCMOS論理回路のLSI設計資産(IPコア)を有効に活用できる。この2PADCL回路を用いて論理回路設計を行い、4bit乗算器を2PADCL回路にて試作し、動作検証を行う。

実験結果

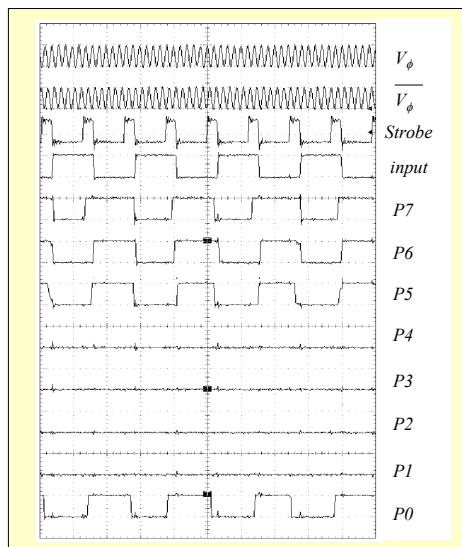


図2 4x4-bit乗算器の測定結果

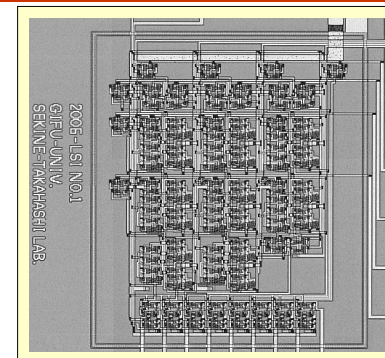


図3 4x4-bit 乗算器のチップ写真

表1 チップ緒元

テクノロジー	1.2μm CMOS 2-metal, 2-poly
電源電圧	5.0 V
コアサイズ	926x704 μm ²
トランジスタ数	844
動的動作周波数	800 kHz
動的消費電力	190μW @ 800 kHz

提案型断熱的論理回路(2PADCL)

図1(a)に示す2PADCLインバータは2相の正弦波によって駆動され、断熱的動作を達成することができる。

◆評価状態(evaluate mode)

入力信号がHighからLowに遷移するとき周期電源Vpに追従し、LowからHighへ遷移するときVpに沿って出力が変化する。このとき出力は時間的にゆっくり立ち上がるため、断熱的動作をする。

◆ホールド状態(hold mode)

この状態では出力は変化しない。ただし、入力信号をこの状態で変化させた場合、評価状態へ移行する。

提案回路のノードは常に充放電を繰り返す必要がないことから、従来の断熱回路よりもスイッチング能力が上がる。結果として、図1(b)に示されるように次段の出力遅延が伝播することなく動作速度はCMOS論理とほぼ同等に結果を得ることができる。

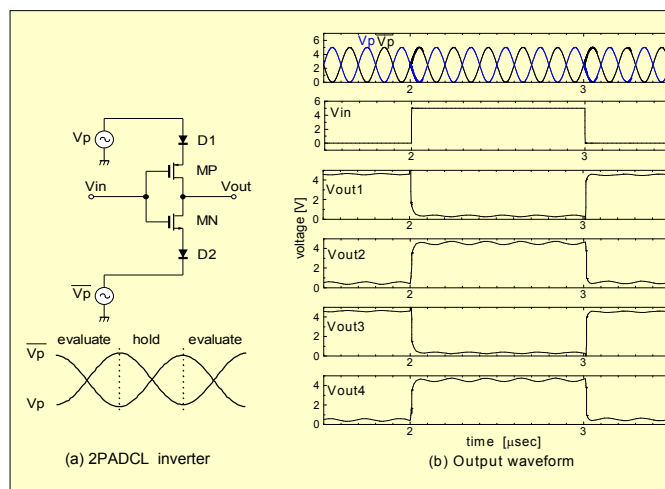


図1 提案型断熱的論理回路(2PADCL)

まとめ

本研究は断熱動作回路の1つである2PADCL回路の設計法を提案した。2PADCLは、2相正弦波電源を電源電圧とし、従来の断熱的論理回路で問題であった次段への遅延伝播を解決した回路である。また、負荷容量が必要ないため、低消費電力特性を示す回路である。提案した2PADCL回路を用いて、4bitアレイ型乗算器を1.2μmCMOSプロセスによりLSI試作・評価したところ、面積は0.07mm²となり、1MHzで動作することを確認した。また、動的消費電力は800kHz動作において190μWであった。

連絡先:

高橋 康宏

501-1193 岐阜市柳戸1-1 岐阜大学工学部電気電子工学科

Tel & Fax: 058-293-2692

E-mail: yasut@gifu-u.ac.jp

Web: <http://www1.gifu-u.ac.jp/~yasut>

謝辞

本ポスターにおける4ビット乗算器のLSI試作は、東京大学大規模集積システム設計教育研究センター(VDEC)を通し、オンセミコンダクタ株式会社および凸版印刷株式会社の協力で行われたものである。また、本研究はVDECを通し、日本ケイデンス株式会社の協力で行われたものである。