

2相Clocked-CMOS断熱的論理回路

酒井 勇士⁽¹⁾, 福田 陽平⁽¹⁾, 高橋 康宏⁽¹⁾, 関根 敏和⁽¹⁾, 横山 道央⁽²⁾

(1) 岐阜大学 工学部 電気電子工学科 (2) 山形大学 工学部 応用生命システム工学科

研究の背景

CMOS技術以上の低消費電力化が要求される

1つの方法としてCMOS回路(図1)への断熱的技術(図2)を応用した断熱的回路が研究されている

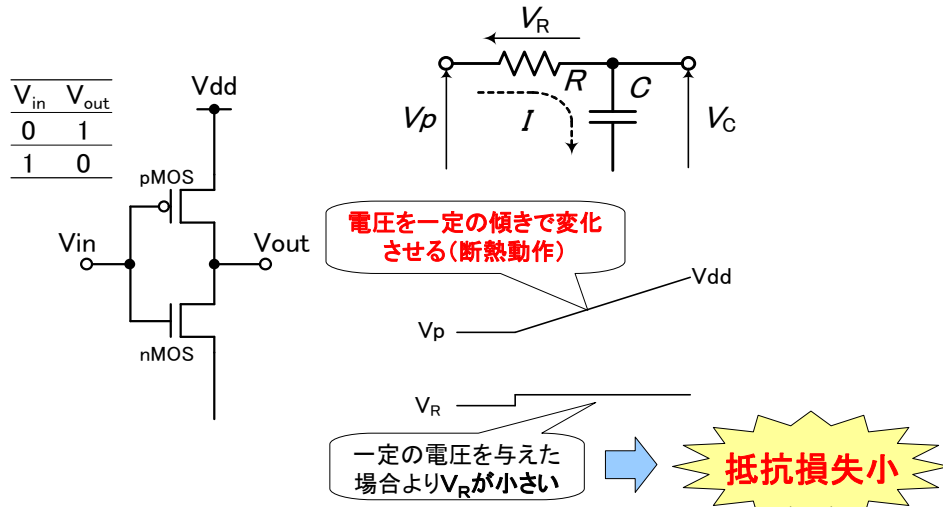


図1. 従来のCMOS回路

図2. 断熱的技術

抵抗損失小

2相Clocked-CMOS断熱的論理回路

本研究では断熱的回路として提案する2相Clocked-CMOS断熱的論理回路(図3)の検討を行っている

回路の特徴

- 一定の傾きで変化する電源電圧によって、オン抵抗での損失の低減(断熱動作)
- 放電時に電荷が電源に回収される

シミュレーションの結果、従来のCMOSに比べ消費エネルギー(消費電力)の削減がなされた(図4)

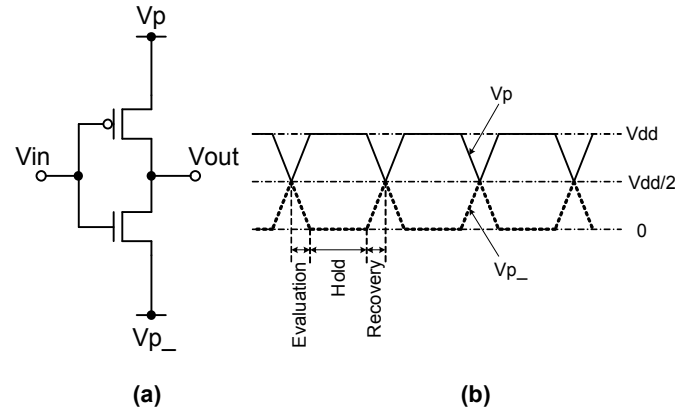


図3. (a)2相Clocked-CMOS断熱的論理回路 (b)電源クロック波形

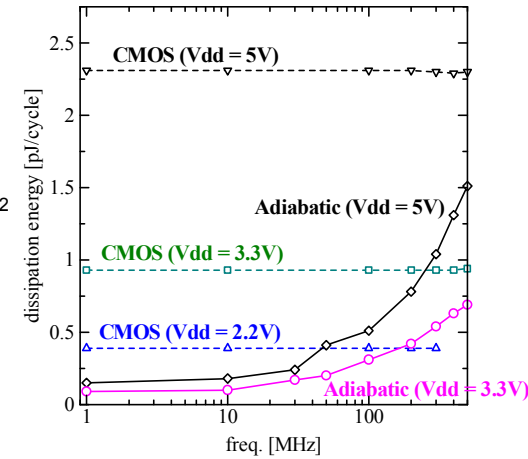


図4. 消費エネルギーの比較

今後の課題

入力と電源クロックの同期

入力Vinに対する電源クロックVp, Vp-のタイミングが約20%以上ずれると、消費電力がCMOS以上になる(図5)

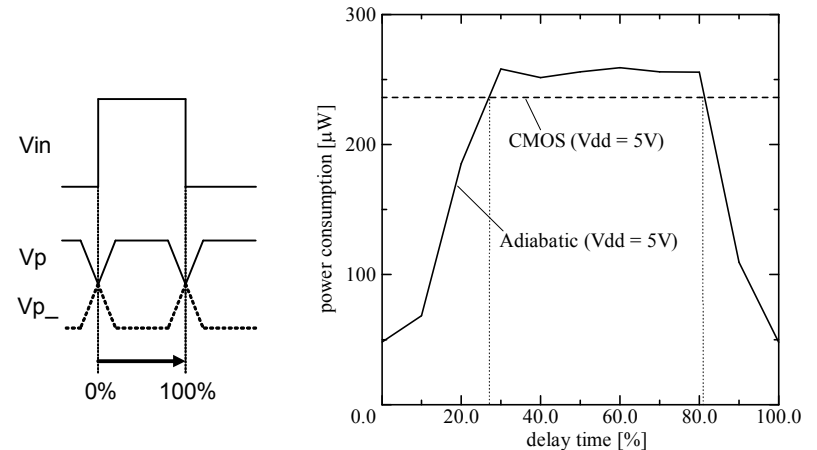


図5. VinとVp, Vp-のタイミングとそのときの消費電力の変化