

2相Clocked-CMOS断熱的論理回路用電源の検討

福田 陽平⁽¹⁾, 酒井 勇士⁽¹⁾, 高橋 康宏⁽¹⁾, 関根 敏和⁽¹⁾, 横山 道央⁽²⁾

(1) 岐阜大学 工学部 電気電子工学科 (2) 山形大学 工学部 応用生命システム工学科

研究背景

CMOS回路の消費電力削減の方法として断熱的回路技術がある。



断熱回路の動作には、それ自身も低消費な電源クロックが必要。

2相Clocked-CMOS断熱的論理回路

2相の電源クロックにより動作し、消費電力はCMOS回路よりも少なくなる。

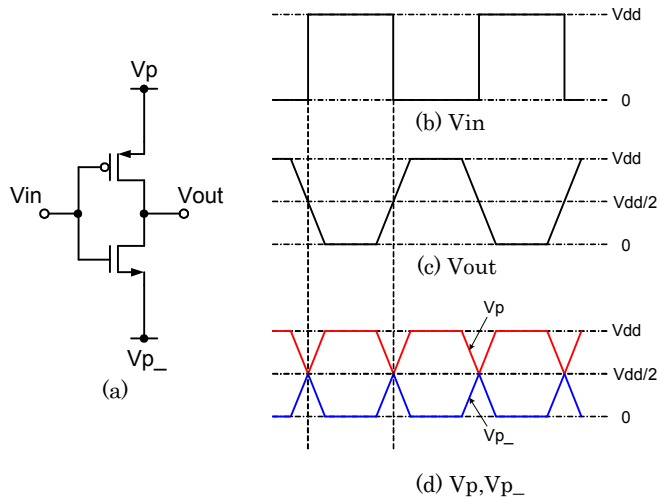


図1. (a)2相クロック断熱的CMOS論理回路(インバータ)

(b)入力 (c)出力 (d)電源クロック

上図(d)の様な一定の変化をする2相の波形を発生させる、低消費電力な電源回路が必要。

提案する電源回路

Switched Capacitor Regenerator回路を用い擬似的に電源波形を発生させる。

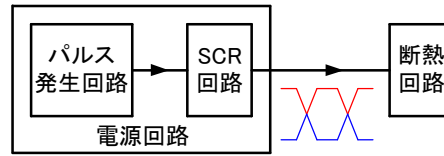


図2. 断熱的回路と電源回路との関係

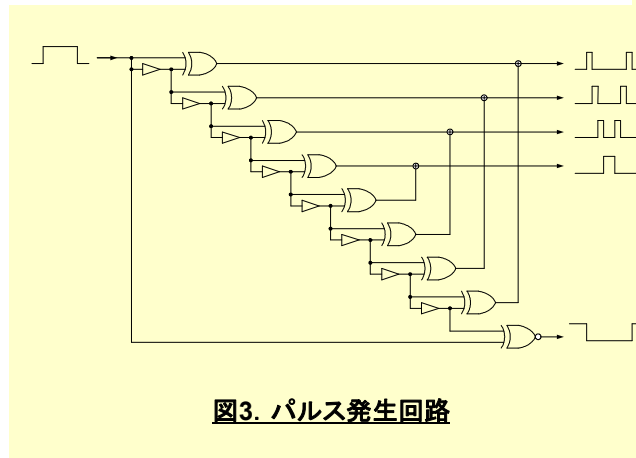


図3. パルス発生回路

回路構成

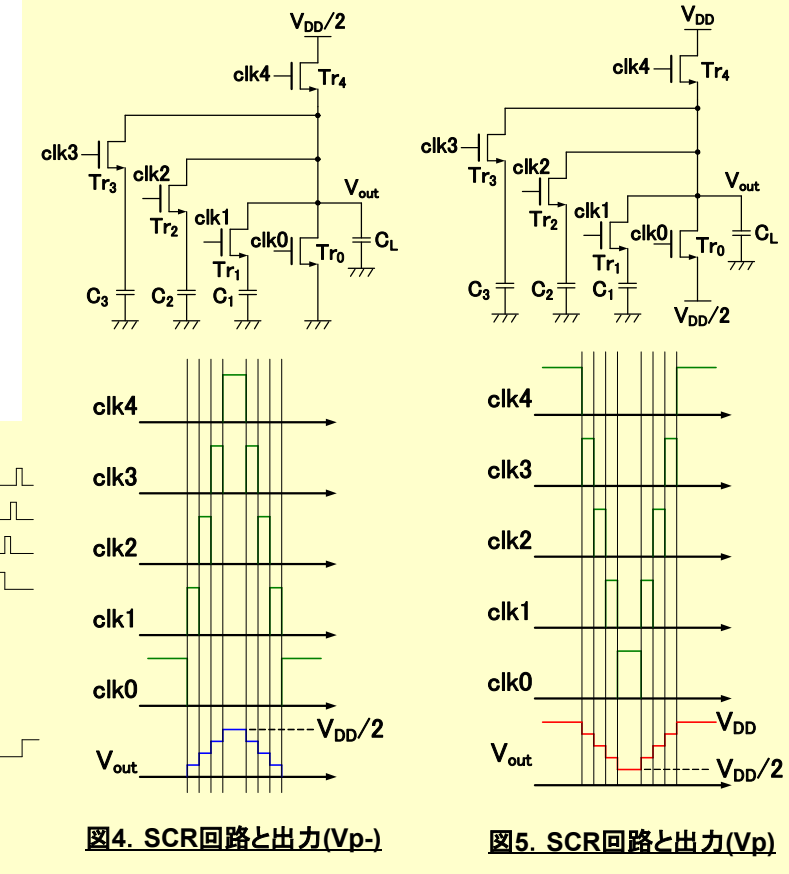


図4. SCR回路と出力(Vp-)

図5. SCR回路と出力(Vp)

消費電力

SCR回路	33 μ W
パルス発生回路	3.7mW
合計約3.7mW	

今後の課題

- SCR回路の素子値の最適化
- パルス発生回路の消費電力削減