

断熱的ダイナミック CMOS 論理回路を用いた 桁上げ伝播のない 4bit 加減算器

高橋 康宏*, 横山 道央**, 庄野 和宏**, 水沼 充**, 高橋 一清**

*山形大学大学院理工学研究科, **山形大学工学部

1. はじめに 移動体端末機器の普及にともない, LSI の小型化, 低電圧化, および低消費電力化が切望されている. このような背景のもと, 低消費電力特性を実現する断熱的ダイナミック CMOS 論理回路 (Adiabatic Dynamic CMOS Logic, ADCL 回路) [1] が研究されている. 今まで, 実用的な ADCL 回路として, 拡張型 4bit 加減算器 [2] と 4bit ALU [3] が集積化されている. この拡張型 4bit 加減算器は桁上げ伝播方式により設計されている. しかし, ADCL 回路は出力電圧が電源電圧に追従して出力するために, 桁上げ伝播方式のような伝播遅延時間が長くなる回路には不向きである. そこで本稿では, 桁上げ伝播のない冗長 2 進加算器を用いて ADCL 4bit 加減算器を設計し, 回路シミュレーションにより検証を行う.

2. ADCL 回路の基本動作 ADCL 回路の基本原理は次のとおりである.

- (1) 一定の傾きで増加・減少を繰り返す電源電圧を用いて負荷容量の充放電を行い, 充放電にかける時間を大きくすることにより, 抵抗における電荷の熱的損失を抑える.
- (2) 充電に用いた電荷を電源に充電することにより, 電荷の再利用を行う.

図 1 に ADCL 回路の基本論理回路の 1 つである ADCL - NOT 回路とその各部電圧波形を示す. ADCL 回路の出力波形 V_{OUT} は電源電圧 V に追従し, 回路 1 段につき $1/2$ 周期分の遅れが生じる. この遅れを ADCL 回路の伝播遅延時間とし, 式(1)で定義する.

$$\Delta\phi = \frac{1}{2}T_\phi \quad (1)$$

したがって, 回路全体の演算時間(最大伝播遅延時間)は, 最大縦続接続段数 n と の積で表すことができる.

3. 冗長 2 進加算器 冗長 2 進とは, $\{-1, 0, 1\}$ の値をとる 3 値表現である. したがって, 冗長 2 進加算器は減算を加算で行うことができ, 従来の 2 の補数表現における, 1 を加えた後にビット反転するといった手続きを行う必要はない. 冗長 2 進加算器は, 中間キャリを生成する Cell1 と中間和を生成する Cell2 を図 2 のように接続して構成することができる. また, ビット語長を増やす場合には, 図 2 の回路を並列接続することで回路を得ることができる.

4. 4bit 加減算器の比較 従来の拡張型 4bit 加減算器と今回の冗長 2 進による 4bit 加減算器を PSPICE によりシミュレーション比較を行

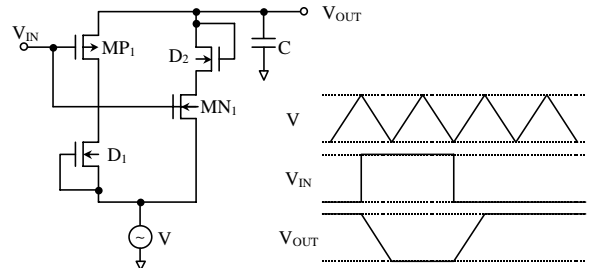


図 1 ADCL - NOT 回路と各部電圧波形

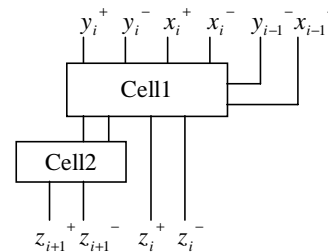


図 2 冗長 2 進加減算器のブロックセル

表 1 拡張型 4bit 加減算器と冗長 2 進 4bit 加減算器の比較

	総 MOS 数	最大伝播遅延時間	消費エネルギー (8 演算終了後)
拡張	684	21	119pJ
冗長	636	9	25.7pJ
減少率	7.02%	57.1%	78.4%

った.

そのときの両者の比較を表 1 に示す. 表 1 より, 総 MOS 数, 最大伝播遅延時間および消費エネルギーは冗長 2 進加算器を用いた方が良いことが分かる.

5. まとめ ADCL 回路による 4bit 加算減器は, 従来の桁上げ伝播方式よりも冗長 2 進加算器で設計したほうが良いことが分かった.

参考文献

- [1] 高橋一清, 水沼充, “断熱的ダイナミック CMOS 論理回路,” 信学論(C), vol.J81-C, no.10, pp.810-817, Oct.1998.
- [2] K.Takahashi, K.Ikeda, M.Mizunuma, “An Ultra Low Power Expandable 4-bit Adder/Subtractor IC Using Adiabatic Dynamic CMOS Logic Circuit Technology,” *Ext. Abst. SSDM'99.*, pp.266-267, Sept.1999.
- [3] K.Takahashi, S.Hashimoto, M.Mizunuma, “An Ultra Low Power Expandable 4-bit ALU IC Using Adiabatic Dynamic CMOS Logic Circuit Technology,” *Proceedings, ITC-CSCC2000*, pp.937-940. July 2000.