

# CSD 表現 FIR フィルタを用いたヒルベルト変換器の設計

高橋 康宏\*, 北嶋 龍雄, 高橋 一清 (山形大学)

## Hilbert Transformer Design Using CSD FIR Filter

Yasuhiro Takahashi, Tatsuo Kitajima, Kazukiyo Takahashi (Yamagata University)

### Abstract

This paper describes the design of Canonic Signed-Digit (CSD) expression Hilbert Transformer (HT). The feature is algorithm of the direct-form FIR filter applied to HT, resulting in reduction of the number of the used adders. The number of the adders and delays in the proposed HT is compared with that in the conventional Hawley's HT. When the quantized coefficients are given by an 8-digit CSD code with 2 nonzero digits, the numbers of the required adders and delays are found to be reduced by 87.7%, and 83.9% respectively.

キーワード：ヒルベルト変換器，正準冗長ディジット，FIR デジタルフィルタ，定係数 (Hilbert Transformer, Canonic Signed-Digit, FIR digital filter, fixed coefficient)

### 1. はじめに

SSB (Single Side Band) 通信方式は，データ通信，無線通信，移動体通信などの分野で広く用いられている。信号発生方式の一つである位相シフト法は，ベースバンド信号を広帯域に渡り，90 度移相を行うヒルベルト変換器 (Hilbert Transformer, HT) が用いられる。HT はアナログ/デジタルフィルタのいずれでも構成できる<sup>[1][2]</sup>。しかし，近年の信号のデジタル化に伴い，HT はデジタルフィルタによるものが主流となっている。この場合，IIR フィルタ<sup>[3]</sup>，FIR フィルタ<sup>[4]</sup>のいずれでも実現できる。IIR フィルタは低次で実現できるが，位相特性を近似問題で解くため，位相誤差が生じやすい。一方，FIR フィルタは直線位相特性を示すため位相誤差が生じないが，乗算器や加算器を多用するため，次数が高次となると回路規模が大きくなる問題点がある。

ところで，乗算は加算器の組み合わせにより演算できる。これにより，定係数の FIR フィルタ演算は加算のみで行える。さらにフィルタ係数を正準冗長ディジット (Canonic Signed-Digit, CSD) 化することにより，加算器のみで構成できるだけでなく，演算の共有化を行い，使用する加算器を低減することができる<sup>[5][6]</sup>。

Hawley らは CSD 表現を用い加算器からなる HT を VLSI 化した<sup>[2]</sup>。しかし，加算器数の制限を行わず，また高速化のため転置型 FIR フィルタで実現するため，結果として回路規模が大きくなっている。そこで，本論文では最小数の加算器で構成可能な直接型 FIR フィルタのアルゴリズム<sup>[6]</sup>をヒルベルト変換器に適用し，加算器数の低減を行う。さらに，Hawley による HT と本方法による HT を比較し，より少ない加算器数で構成できることを示す。

### 2. ヒルベルト変換器

#### 2.1 ヒルベルト変換

ヒルベルト変換は，ある任意信号  $f(t)$  の各周波数成分を  $- \pi/2$  だけ位相推移する変換である。図 1 にヒルベルト変換の振幅特性と位相特性を示す。

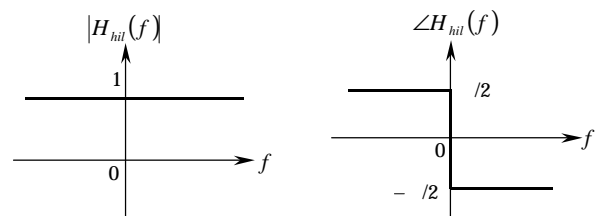


図 1 ヒルベルト変換の振幅・位相特性

Fig.1. Amplitude and phase response of HT.

ヒルベルト変換の伝達関数は，

$$H_{hil}(f) = -j \operatorname{sgn}(f) \quad (1)$$

で表される。ここで， $\operatorname{sgn}(f)$  は符号関数である。ゆえに，時間領域でのヒルベルト変換は以下のように定義される。

$$\hat{f}(t) = \frac{1}{\pi t} * f(t) = \frac{1}{\pi} \int_{-\infty}^{\infty} \frac{f(\tau)}{t - \tau} d\tau \quad (2)$$

ここで， $\hat{f}(t)$  は  $f(t)$  のヒルベルト変換， $*$  は畳み込み積分である。

## 2.2 FIR デジタルフィルタを用いる HT

図1の位相特性を実現するには、図2に示される FIR デジタルフィルタと遅延補正からなる HT を構成するとよい<sup>[7]</sup>。

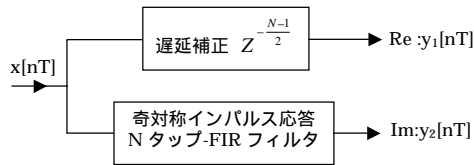


図2 FIR フィルタによる HT

Fig.2. HT using FIR digital filter.

図2において、FIR フィルタの出力  $y_2[nT]$  は遅延補正された出力  $y_1[nT]$  に対して  $-1/2$  だけ位相推移する信号が得られる。また、 $y_1[nT]$  を信号の実部とすると、 $y_2[nT]$  は信号の虚部と考えることができる。

図2では遅延補正を FIR フィルタとは別に行うようになっている。しかし、FIR フィルタの次数を  $N$  とすれば、フィルタの  $N/2$  段目の信号が遅延補正したものに相当する。したがって、独立した遅延補正は必要なく、遅延補正は直接型 FIR フィルタの遅延子と共有化することができる (図3)。

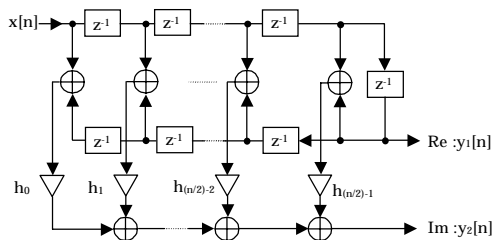


図3 遅延補正を共有化したヒルベルト変換器

Fig.3. HT which shared delay correction.

本論文における HT は、この実部と虚部の遅延子を共有化した直接型 FIR フィルタを用いて構成されている。

## 3. CSD 表現

ディジット集合  $\{0,1\}$  からなる 2 進表現の代わりに、ディジット集合  $\{\bar{1},0,1\}$  を用いた数の表示を冗長 2 進表現 (Signed Digit 表現, SD 表現) という。ただし、 $\bar{1} = -1$  である。最小の重みを持つ冗長 2 進表現の中で非零ビットが連続して現れないものを CSD 表現という。CSD 表現を用いた時のフィルタの係数は一般に式(3)で表すことができる。

$$h = \sum_{k=1}^L s_k 2^{-p_k} \quad (3)$$

ここで、 $s_k \in \{\bar{1},0,1\}$ ,  $p_k \in \{0,1,\dots,m\}$ ,  $m+1$  は全ビット数、 $L$  は非零ビット数である。

この CSD 表現は非零ビットが通常の 2 進表現の場合よりも少なくなる。それにより、乗算はビットシフトと加算/減算に置き換えることができるため、演算量を少なくすることができる。さらに非零ビットを制限すると演算量減少の効果が大きくなる。ただし、非零ビットを制限すると表現できる数が制限されるため、フィルタ特性が実数係数や通常の整数係数の場合より悪くなる。

## 4. 鈴木のアプローチ<sup>[6]</sup>

鈴木らは、CSD 表現を用い、直接型 FIR フィルタの係数を図4に示す係数を表として表した。また、係数および加算器からの出力和を式(4)、(5)で表した。以下、この式を式ラベルと呼ぶ。

$$\cdot N \text{ が偶数のとき: } i = 0, \dots, \frac{N}{2} - 1$$

$$\begin{aligned} E(a_i) &= "x[i] + x[N-1-i]" \\ C(a_i) &= \text{CSD}(h_i) \end{aligned} \quad (4)$$

$$\cdot N \text{ が奇数のとき: } k = \frac{N-1}{2}, \quad i = 0, \dots, k-1$$

$$\begin{aligned} E(a_i) &= "x[i] + x[N-1-i]", \quad E(a_k) = "x[k]" \\ C(a_i) &= \text{CSD}(h_i), \quad C(a_k) = \text{CSD}(h_k) \end{aligned} \quad (5)$$

ここで、 $E(a_i)$  は加算器の出力、 $C(a_i) = \text{CSD}(h_i)$  は CSD 表記された係数、 $N$  はフィルタのタップ数である。

次に、互いの係数ディジットパターンの相関を調べ、互いの係数パターンに相関があるとき、一方のディジットパターンを水平方向にのみシフトする。一方のディジットパターンが他方と重なるとき、共通のディジットパターンと見なす。最後にその共通ディジットパターンを利用し、演算の共有化を行い使用する加算器の低減を行う。この手順を図5のフローチャートに示す。

	$2^{-1}$	$2^{-2}$	$2^{-3}$	$2^{-4}$	$2^{-5}$	
$a_0$	0	0	$\bar{1}$	0	1	$E(a_0) = x[0] + x[6]$
$a_1$	0	0	1	0	$\bar{1}$	$E(a_1) = x[1] + x[5]$
$a_2$	0	1	0	0	1	$E(a_2) = x[2] + x[4]$
$a_3$	1	0	$\bar{1}$	0	$\bar{1}$	$E(a_3) = x[3]$

Set A

図4 係数表と集合の例 (N=7)

Fig.4. Table of coefficient and ensemble (N=7).

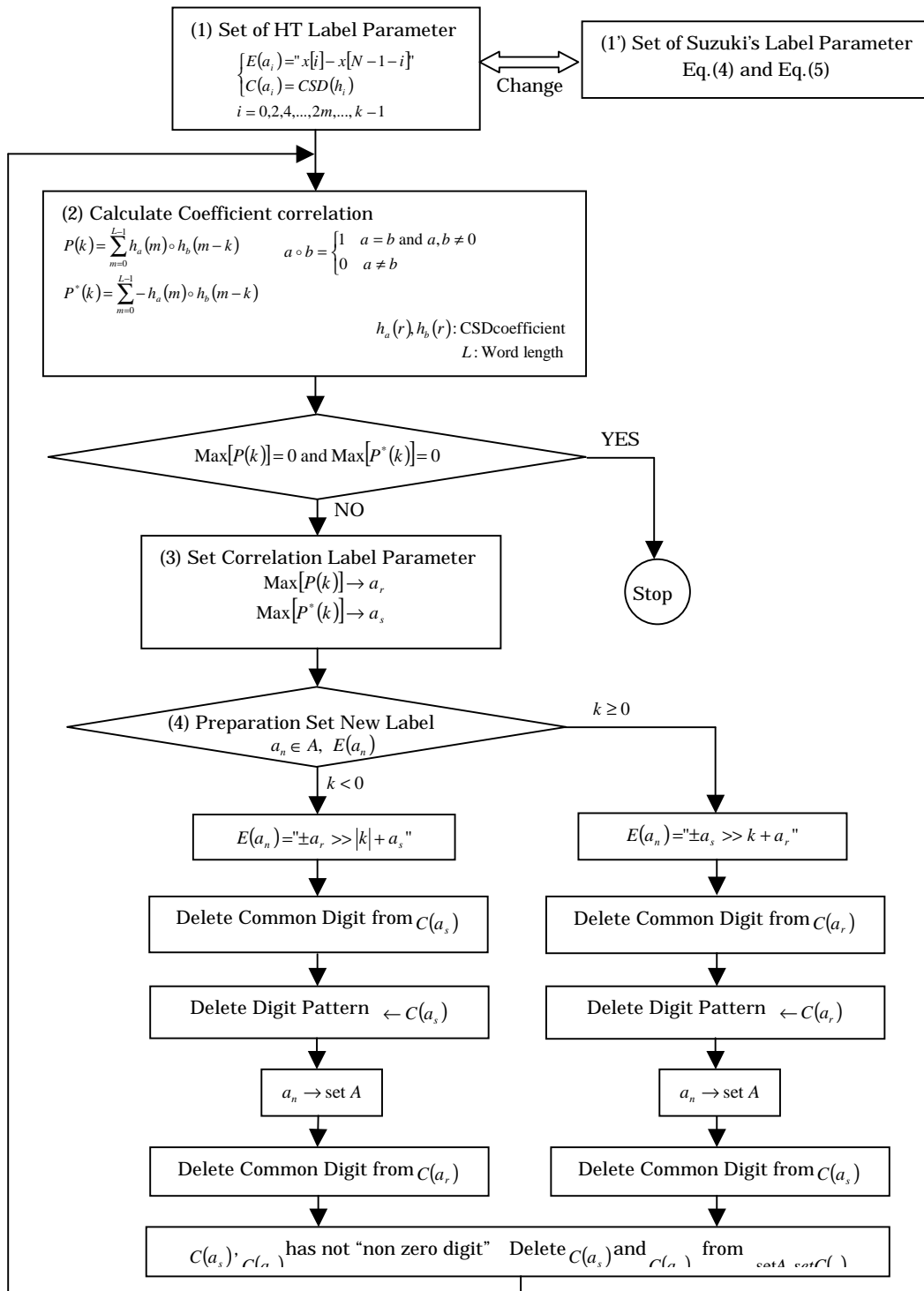


図5 アルゴリズムのフローチャート

Fig.5. Flow chart of Algorithm.

5. HT へのアルゴリズムの適用

HT フィルタを設計する場合、次に挙げる設計規則を満たした場合、HT の加算器数が最小となる。

[設計規則]

- (1)正規化周波数 0.25 中心に対称で設計する。
- (2)タップ数は奇数次で構成する。

設計規則(1)により、係数値は一つおきに 0 の値をとる。よって、式ラベル  $E(a_i)$  において  $i$  が偶数ときのみ加算を行えばため、係数値が 0 の時は加算器が省略できる。

設計規則(2)を満たさない場合、つまり偶数次の場合でも HT を構成することはできる。しかし、奇数次の場合は中心タップの係数  $C(a_k)=CSD(a_k)$  が 0 となるために、加算器が減少する。また、係数値に 0 が交互に表れるため、遅延子のある規則パターンに従い配置することができる。

このときの式ラベルは以下のように変形される。

$$\cdot N \text{ が奇数のとき: } k = \frac{N-1}{2}, \quad i = 0, 2, 4, \dots, 2m, \dots, k-1$$

$$E(a_i) = "x[i] - x[N-1-i]" \tag{6}$$

$$C(a_i) = CSD(h_i)$$

ここで、 $N$  はフィルタのタップ数、 $m$  は整数、また  $2m < k-1$  である。

HT のタップは奇対称であるため、式(6)の式ラベル  $E(a_i)$  の第 2 項は負の値をとる。このとき、図 4 の係数表は図 6 のように変形される。係数の相関の取り方は、文献[6]で提示されたアルゴリズムと同様の手順で行うことができる。

	$2^{-1}$	$2^{-2}$	$2^{-3}$	$2^{-4}$	$2^{-5}$
$a_0$	0	0	$\bar{1}$	0	1
$a_2$	0	0	1	0	$\bar{1}$

 $C(a_2)$ 

$$E(a_0) = x[0] - x[6]$$

$$E(a_2) = x[2] - x[4]$$

Set A

図 6 ヒルベルト変換フィルタの係数表と集合の例 (N=7)

Fig.6. Table of the HT coefficient and ensemble (N=7).

6. シミュレーション結果

Example.1: 設計パラメータを表 1 とした場合の振幅 - 周波数特性を図 7 に、シグナルフローを図 8 に示す。

表 1 設計パラメータ (15-tap)

Table.1. Design parameter for 15-tap HT.

タップ数	15	係数語長	8bit	非零ビット	2bit
フィルタ係数	$H = (-1, 0, -12, 0, -7, 0, 64, 0, -64, 0, 7, 0, 12, 0, 1) \times 2^{-7}$				

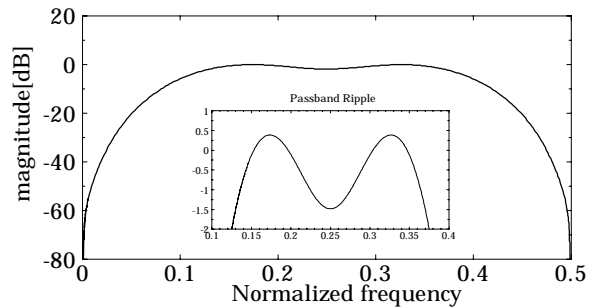


図 7 振幅 - 周波数特性(N=15 の場合)

Fig.7. Amplitude V.S. Frequency for 15-tap HT Filter.

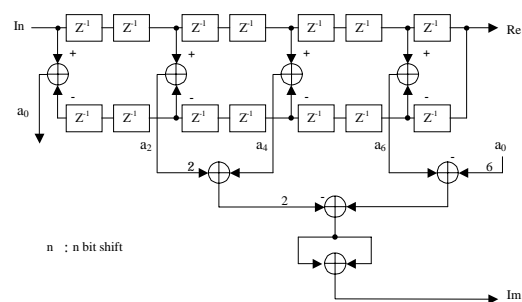


図 8 フローチャート(N=15 の場合)

Fig.8. Signal Flow for 15-tap HT Filter.

シミュレーションより、遮断周波数  $c_1, c_2$  は 0.15, および 0.35 となり、この帯域において HT として実用可能である。

Example.2: 設計パラメータを表 2 とした場合の振幅 - 周波数特性を図 9 に、シグナルフローを図 10 に示す。

表 2 設計パラメータ (31-tap)

Table.2. Design parameter for 31-tap HT.

タップ数	15	係数語長	8bit	非零ビット	2bit
フィルタ係数	$H = (-4, 0, -3, 0, -2, 0, -1, 0, 3, 0, 9, 0, 20, 0, 80, -80, 0, -20, 0, -9, 0, -3, 0, 1, 0, 2, 0, 3, 0, 4) \times 2^{-7}$				

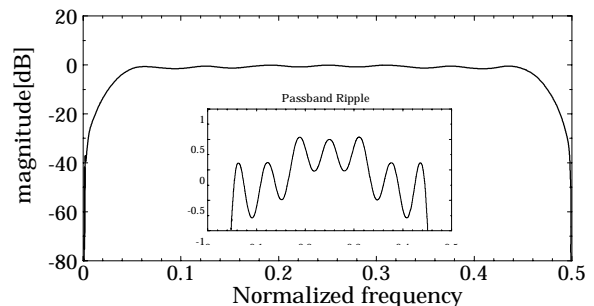


図 9 振幅 - 周波数特性(N=31 の場合)

Fig.9. Amplitude V.S. Frequency for 31-tap HT Filter.

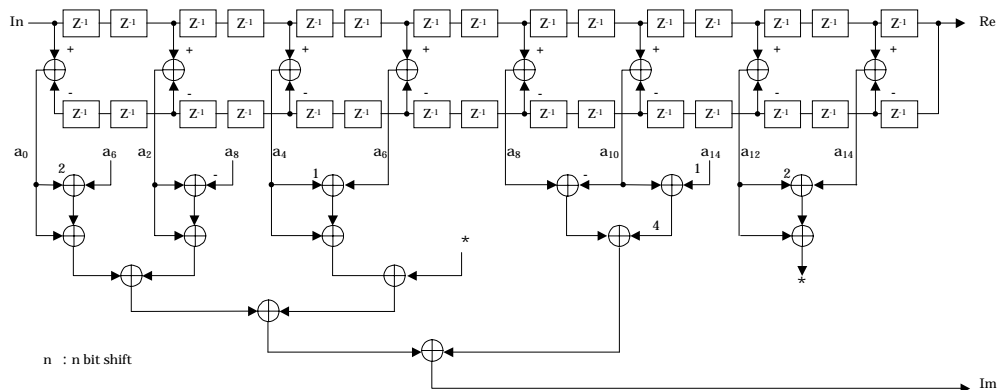


図 10 フローチャート(N=31の場合)

Fig.10. Signal Flow for 31-tap HT Filter.

シミュレーションより、タップ数が  $N=15$  から  $N=31$  に変化した場合 加算器および遅延子の増加はともに 16 個および 15 個となる。この例における遮断周波数は  $c_1=0.05$ ,  $c_2=0.45$  である。

## 7. Hawley の HT との比較

Hawley<sup>[2]</sup> らは、CSD 表現を用い加算器と遅延子からなるブロックを係数タップの数だけ従属接続し、図 11 に示される HT を構成した。この手法は、係数ディジットパターンの共有化を行っていないため、加算器数を制限することができない。

Example.2 の設計パラメータで設計した場合、Hawley による方法と本提案法における加算器数と遅延子数の相対比較を表 3 に示す。

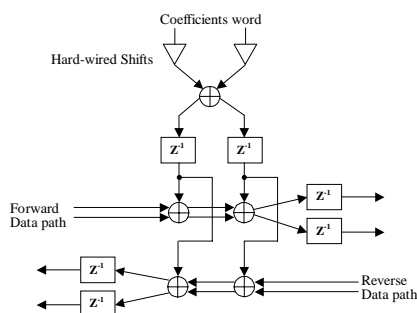


図 11 Hawley 法による HT の構成 (1 タップ分)

Fig.11. Structure of Hawley's HT filter tap.

表 3 加算器数と遅延子数の評価

Table.3. Comparison for adders and delays

	A. Hawley	B. proposed	$\left(1 - \frac{B}{A}\right) \times 100[\%]$
ADDER	187	23	87.7
DELAY	186	30	83.9

表 3 より、本提案法により加算器数は 87.7%、遅延子数は 83.9%削減できる。

## 8. まとめ

CSD 表現を用い、最小の加算器数で構成可能な直接型 FIR フィルタから成るヒルベルト変換器を設計した。Hawley のヒルベルト変換器と比較検討した結果、加算器数が 87.7%、遅延子数が 83.9%削減することができた。このことより、本提案法によるヒルベルト変換器の設計は、回路規模を考慮した場合、非常に有効な手段となる。

今回は非零ビットを 2bit、係数語長を 8bit に制限し設計を行った。しかし、非零ビットと係数語長の最適関係などは検証していない。それゆえ、他のビットの組み合わせ条件により、加算器数が低減できる可能性がある。さらに、実部と虚部の遅延子を共有したためにリタイミングが行えず、その結果クリティカルパスが長くなり、速度要求を満たさなくなる場合がある。

今後は、これらの問題点を検証し、FPGA および VLSI による回路設計・評価行うものとする。

## 参考文献

- [1] 高橋,後藤,水沼, “スイッチトキャパシタ技術による音声帯域ヒルベルト変換器”,信学論(A),vol.J81-C-II, no.5, pp.461-468, May 1998
- [2] R. Hawley, Thu-ji Lin, H. Samuelli, “A 300MHz Digital Double-Sideband to Single-Sideband Converter in  $1 \mu\text{m}$  CMOS,” IEEE Trans. Solid States Circuits, vol.30, no.6, pp.4-10, Jun 1995
- [3] 池原,田中,松尾, “Remez アルゴリズムを用いた IIR ヒルベルト変換器の設計”,信学論(A),vol.J74-A, no.3, pp.414-420, Mar 1991
- [4] S. Pei, J. Shuy, “Design of Hilbert transformers and differentiators by eigenfilter,” IEEE Trans. Circuits&Syst., vol.35, no.11, pp.4-10, Nov 1988

- [5] M. Yagyū, A. Nishihara, N. Fujii “Fast FIR Filter Structures Using Minimal Number of Adders and Its Application to Filter Design,” IEICE Trans. Fundamentals, Vol.E79-A, no.8, pp.1120-1129, Aug 1996
- [6] 鈴木,尾知,金城, “最小遅延子数で構成可能な CSD 表現を用いた FIR フィルタの VLSI 設計”,信学論(A), vol.J81-A, no.2, pp.190-197, Feb 1998
- [7] 尾知 博, “デジタルフィルタ設計入門”,CQ 出版社 , 1990